

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

009027707

WPI Acc No: 1992-155067/199219

XRPX Acc No: N92-115923

**Integrated circuit device with electromigration preventive structure -  
has film conductors each with width of not more than 2 micrometres,  
arranged on upper and lower portions of insulator NoAbstract Dwg 1/3**

Patent Assignee: SEIKO EPSON CORP (SHIH )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4092430	A	19920325	JP 90209815	A	19900808	199219 B

Priority Applications (No Type Date): JP 90209815 A 19900808

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 4092430	A	3		

Title Terms: INTEGRATE; CIRCUIT; DEVICE; ELECTROMIGRATION; PREVENT;  
STRUCTURE; FILM; CONDUCTOR; WIDTH; MORE; ARRANGE; UPPER; LOWER;  
PORTION;

INSULATE; NOABSTRACT

Derwent Class: U11

International Patent Class (Additional): H01L-021/32

File Segment: EPI

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

03727330     \*\*Image available\*\*  
SEMICONDUCTOR DEVICE

PUB. NO.: 04-092430 [JP 4092430 A]  
PUBLISHED: March 25, 1992 (19920325)  
INVENTOR(s): OGUCHI AKEMI  
APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)  
APPL. NO.: 02-209815 [JP 90209815]  
FILED: August 08, 1990 (19900808)  
INTL CLASS: [5] H01L-021/3205  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)  
JOURNAL: Section: E, Section No. 1232, Vol. 16, No. 318, Pg. 157, July 13, 1992 (19920713)

#### ABSTRACT

PURPOSE: To form wiring which restrains the grain boundary diffusion of Al atoms and whose reliability is high by a method wherein the line width of the wiring which contains an Al alloy or a high-melting-point metal compound and an Al alloy is always set at 2. $\mu$ m or lower.

CONSTITUTION: An oxide film (SiO<sub>2</sub>) 202 is formed on the whole surface of an Si substrate 201; then, a titanium nitride film (TiN) 203 is formed; an aluminum alloy film 204 is formed on it; in addition, a titanium nitride film 205 is formed once again; and three-layer structure is obtained. At this time, slits are formed in wiring whose line width B is 10. $\mu$ m in the direction of the wiring in such a way that their line width is always 2. $\mu$ m or lower; at the same time, a patterning operation is executed; and an Si<sub>3</sub>N<sub>4</sub> film 206 is formed on the multilayer wiring. Thereby it is possible to obtain the multilayer wiring which restrains the grain boundary diffusion of Al atoms as the cause of an electromigration and whose reliability is high.

## ⑫ 公開特許公報 (A)

平4-92430

⑤ Int.CI.<sup>5</sup>

H 01 L 21/3205

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月25日

6810-4M H 01 L 21/88  
6810-4MN  
A

審査請求 未請求 請求項の数 1 (全3頁)

④ 発明の名称 半導体装置

② 特願 平2-209815

② 出願 平2(1990)8月8日

⑦ 発明者 小口 あけみ 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑧ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑨ 代理人 弁理士 鈴木 喜三郎 外1名

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

A<sub>1</sub> 合金または高融点金属化合物と A<sub>2</sub> 合金を含む配線層を有する半導体装置において、

- a. 該配線の線幅が、常に 2 μm 以下であること、
- b. 該配線に上記 (1) 以上の線幅を用いる場合は、スリット等を用いて、2 μm 以下の配線を複数用いることによって所望の配線幅にすること
- c. 下部半導体装置と接続する部分を除いた a または、b または、a と b の配線を含むことを特徴とする半導体装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、半導体装置の特に配線構造に関する。

## 〔従来の技術〕

従来の半導体装置及びその配線構造は、第3回の様な構造をしていて、配線の線幅が太くなるに従って、A<sub>1</sub> 原子の粒界拡散が起こりやすく、エレクトロマイグレーション耐性が劣化した。

この事を従来の工程を追って説明すると、まず Si 基板 301 上に、酸化膜 (SiO<sub>2</sub>) 302 を全面に形成する。

さらに、高融点金属化合物と A<sub>1</sub> 合金膜を含む多層配線 303 ~ 305 を形成し、フォトエッチする。

最後に、保護膜 306 を形成する。

以上が従来の工程である。

## 〔発明が解決しようとする課題〕

しかし、前述の従来技術では、配線の線幅が太くなるにつれて、エレクトロマイグレーションの原因である、A<sub>1</sub> 原子の粒界拡散が起こりやすくなり、信頼性が劣化するという課題点があった。

そこで、本発明はこのような課題点を解決するもので、その目的とするところは、配線の線幅を常に 2 μm 以下になる様にすることによって、A<sub>1</sub>

② 原子の粒界拡散を抑制し、よりエレクトロマイグレーションに強い配線を提供するところにある。

〔課題を解決するための手段〕

本発明の半導体装置は、Al 合金または高融点金属化合物と Al 合金を含む配線層を有する半導体装置において、

- a. 該配線の線幅が、常に  $2 \mu\text{m}$  以下であること、
- b. 上記該配線以上の線幅を用いる場合は、スリット等を用いて、 $2 \mu\text{m}$  以下の配線を複数用いることによって所望の配線幅にすること、
- c. 下部半導体装置と接続する部分を除いた a または b、または、a + b の配線を含むことを特徴とする。

〔作用〕

本発明の上記の構成によれば、配線の線幅を、常に  $2 \mu\text{m}$  以下にすることによって、エレクトロマイグレーションの原因である Al 原子の粒界拡散を抑制し、より信頼性の高い配線を備えた半導体装置を構成できる。

〔実施例〕

400 Å の窒化チタン膜 205 を形成し、TiN / Al - 0.5% Cu / TiN の三層構造を得る。

この際、線幅 (B)  $10 \mu\text{m}$  の配線に対して、常に線幅が  $2 \mu\text{m}$  以下となる様に、配線方向にそってスリットを入れ（第1図 (a)）フォトエッチによって同時に、バーニングする。（第2図 (b)）

次に、該多層配線の上層に保護膜として、Si, N<sub>x</sub> 膜 206 を形成する。（第2図 (c)）

この際、保護膜の形成方法としては、SiH<sub>4</sub> ガス 600 cc/cm<sup>3</sup> / NH<sub>3</sub> ガス 6400 cc/cm<sup>3</sup> の混合ガスにより、圧力 2500 m torr、温度 350 °C の条件下で、Si, N<sub>x</sub> 膜を 8000 Å 得る。

上述の工程を経て、できあがった本発明、半導体装置は、従来の半導体装置に比べると該多層配線の線幅を常に、 $2 \mu\text{m}$  以下になる様に、配線方向にそってスリットを入れることによって、エレクトロマイグレーションの原因である Al 原子の粒界拡散を抑制させ、より信頼性の高い多層配線

本発明の半導体装置は、第1図に示される構造をしている。

101 は Si 基板、102 は酸化膜の二酸化ケイ素、103 は窒化チタン、104 はアルミ合金膜、105 は窒化チタン、106 は保護膜の Si, N<sub>x</sub> である。

以下、詳細は工程を追いながら説明していく。

〔第2図 (a) ~ (c)〕

まず、Si 基板 201 の表面全体に絶縁膜として酸化膜 (SiO<sub>2</sub>) 202 を 4000 Å 形成する。（第2図 (a)）

次いで、配線層を形成する工程として、まず、スパッタリング装置内に窒素ガスを導入し、アルゴンと窒素の混合ガスにより、基板温度 200 °C の条件下で、反応性スパッタを行い、膜厚 1000 Å の窒化チタン膜 (TiN) 203 を形成する。

更にその上層に、アルミ合金 (Al - 0.5% Cu) をスパッタし、膜厚 5000 Å のアルミ合金膜 204 を得る。

さらに、もう 1 度反応性スパッタにより、膜厚

が得られる。

また、上記該多層配線を用いて、線幅依存性によるエレクトロマイグレーション試験を行った結果、線幅  $3 \sim 4 \mu\text{m}$  にかけ、一番エレクトロマイグレーション耐性が劣化することがわかったので、線幅は、エレクトロマイグレーションに強い  $2 \mu\text{m}$  以下が良いと考えられる。

さらに、スリットを入れる箇所は、電源線、信号線を問わず、いかなる線幅の該多層配線にも常に  $2 \mu\text{m}$  以下となる様に用いることとする。

〔発明の効果〕

以上に述べた本発明によれば、従来の構造に比べて、配線を形成する際、配線の線幅を常に  $2 \mu\text{m}$  以下になる様にすることによって、エレクトロマイグレーションの原因である Al 原子の粒界拡散を抑制させ、より信頼性の優れた半導体装置を提供できる。

4. 図面の簡単な説明

第1図 (a) は、本発明の半導体装置を示す、

## 主要平面図。

第1図(b)は、本発明の半導体装置を示す、  
主要断面図。

第2図(a)～(c)は、本発明の半導体装置  
の製造工程の断面図。

第3図は、従来の半導体装置を示す断面図。

101、201、301・Si基板

102、202、302・酸化膜(SiO<sub>2</sub>)

103、203、303・窒化チタン(TiN)

104、204、304・Al合金膜(Al-0.  
5%Cu)

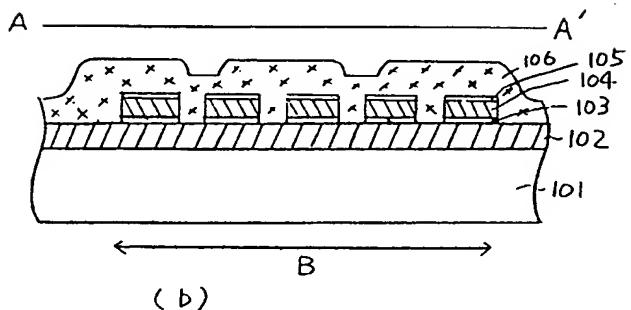
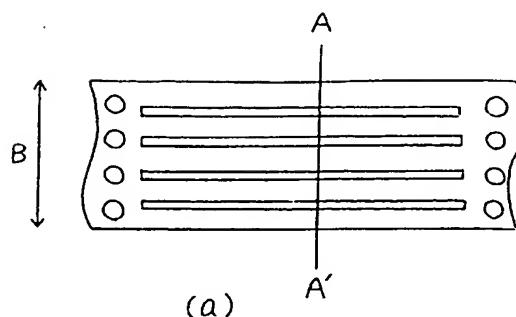
105、205、305・窒化チタン(TiN)

106、206、306・保護膜(Si<sub>3</sub>N<sub>4</sub>)

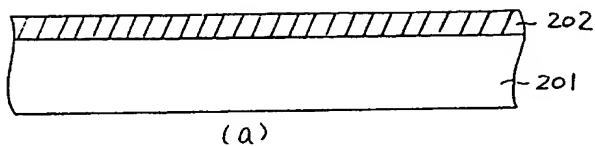
以上

出願人 セイコーホーリング株式会社

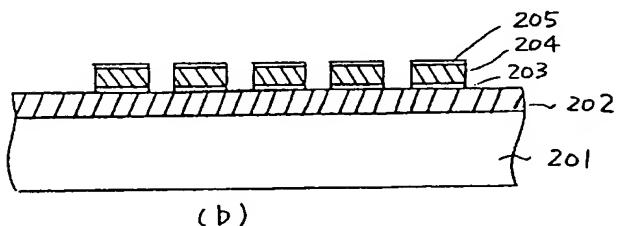
代理人 弁理士 鈴木 喬三郎(他1名)



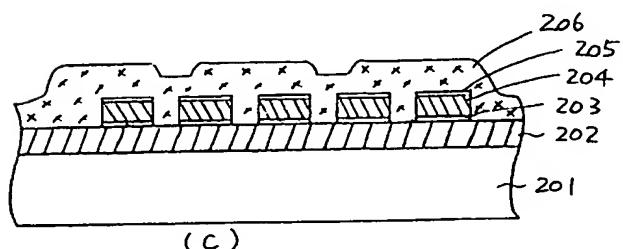
第1図



(a)

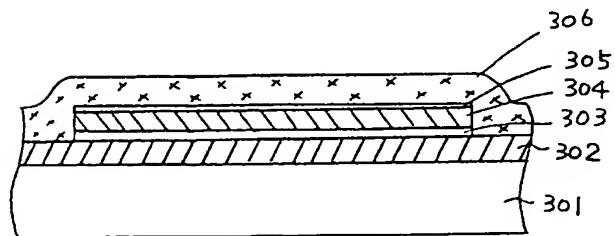


(b)



(c)

第2図



第3図